

一种基于 E 语言的芯片验证平台优化方法

张妮娜¹, 王万财², 窦 衡¹

(1 电子科技大学 电子工程系, 四川 成都 610054; 2 华为技术有限公司 海思传送芯片开发部, 四川 成都 610054)

摘 要: 针对传统基于 E 语言的 ASIC 芯片验证环境的仿真低效率, 本文提出了一种优化手段, 即在 E 语言实现的验证环境里只做数据相关处理, 时序的处理采用 verilog 实现, 以减少软件 Specman Elite 与 verilog 仿真器的通信次数. 最后以 SDH 处理芯片的验证为例进行实验对比, 结果证明了此种实现方式的可行性, 并且测试用例的仿真时间在原基础上能缩短 50%~70%, 对降低芯片的整个设计周期具有显著意义.

关键词: 芯片验证; E 语言; ASIC; SDH

中图分类号: TN337

文献标识码: A

文章编号: 1000-7180(2012)04-0094-03

An Optimizing Method for Chip Verification Platform Based on E-Language

ZHANG Ni-na¹, WANG Wan-cai², DOU Heng¹

(1 Electronic Engineering Dept, University of Electronic Science and Tech of China, Chengdu 610054, China;

2 Optical Communication Chipset Development Dept, HS, Huawei Technology Co. Ltd, Chengdu 610054, China)

Abstract: According the verification of ASICs, the traditional way to construct platform based on e language exists a problem of low verification efficiency. An improved method to build e verification components is used, in which data process is in e language components only, but verilog language is used for timing process instead. Therefore, communication frequency between Specman Elite and verilog simulator is reduced. An experiment of SDH processing chip verification proves the simulation time of test case decreased by 50% to 70% comparing with the traditional one.

Key words: verification; E language; ASIC; SDH

1 引言

IC 设计的规模逐渐增大, 复杂度日益增高, 进一步加大了芯片功能验证的难度. 为保证芯片的质量, 实现“零缺陷”, 芯片验证工作占据了整个设计周期的 60%~70% 的时间, 被认为是当代 IC 设计的瓶颈. 在保证质量的前提下, 提高芯片验证效率是需要积极探索的课题.

E 语言是一门面向方面编程语言 AOP (aspect oriented programming language), 由 Specman Elite (简称 Specman) 这个产品支持. 由于是面向方面编程, E 语言的类、方法和约束支持多次修改和重载,

使验证环境具有较高灵活性; 同时支持断言, 能产生约束随机激励, 具有高度的可扩展性和重用性^[1].

同步数字体系 SDH (Synchronous Digital Hierarchy), 是由一些 SDH 网络单元组成的, 主要以光纤为传输媒质, 进行同步信息传输、复用和交叉连接的网络^[2]. 由于具有统一的标准接口、同步复用、自动交叉连接、可直接上下支路信号、及具有强大的网管功能而得到了各国的普遍使用. SDH 芯片验证平台的研究和设计具有很大的应用需求, 并有其实用价值和现实意义.

文中以一款 SDH 的芯片的设计为背景. 在验证工作执行过程中, 结合 E 语言的特点, 采用了一

种改进型的验证平台搭建方法,使得验证效率提升.实验结果表明这种验证环境构架在原来的基础上将测试用例执行周期缩短了50%~70%,并在实验结果中证明了其可行性.

2 验证环境与仿真器的通信机理

Specman 和 verilog 仿真器在仿真的过程中是两个独立并行的进程,它们通过通信接口(stubs 文件)来进行通信,如图1所示.

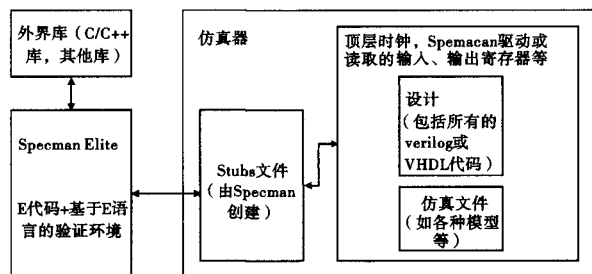


图1 Specman 与仿真器的通信原理

E语言中定义了一种特殊的结构体叫做unit,是构建验证环节的基本元素,要完成与仿真器交互也必须通过unit.unit与struct很相似,不过区别在于struct用作数据结构的定义,而unit用来定义环境里的结构模块,可执行一定操作,且必须经例化才能使用.unit在例化时会和被测设计DUT(Device Under Test)绑定,指定到一个HDL路径^[3-4].在unit中也可以做任意的DUT信号到验证环境的映射,编译生成的stub文件就是描述这种约束映射的文件.在E的验证环境中要完成对DUT信号的控制,包括输入激励或控制、访问内部信号都会通过由specman创建的stub文件得以实现.文中根据E语言在验证过程中与verilog(VHDL)仿真器的通信机理,优化验证组件使得验证效率提高.

3 平台优化原理和方法

典型的验证环境包括多个不同的组件:激励产生、参考模型、计分板、输入驱动和输出响应等^[5-6].基于E语言的验证环境中每个组件都被定义成一个struct或unit.传统E环境构建方式,除DUT以外,其他组件均由E语言实现^[7-8],如图2所示.

本文所设计的SDH处理芯片的验证平台基于此构架建立.该平台在测试用例的控制下,激励产生组件发出的STM-N帧数据,被同时输入DUT和参考模型RM(Reference Model).RM和DUT都会完成对STM-N帧数据的定帧,指针解释,开销处理等

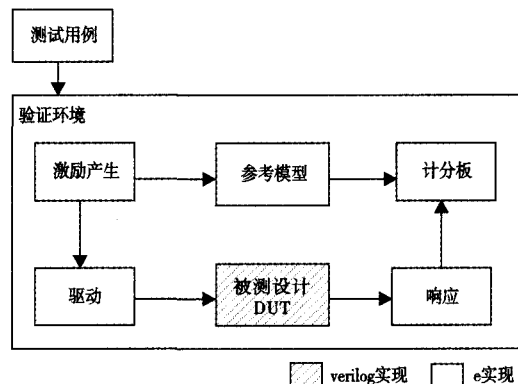


图2 E验证环境构架

操作.它们的区别在于RM是E语言的行为级实现,DUT是verilog的RTL级功能实现.DUT响应组件会采集输出数据并通过计分板来对比DUT输出结果与RM是否一致,以确定DUT是否符合设计规格.向DUT发送数据帧时,驱动模块要根据采样时钟信号将激励产生模块的数据转换为有时序关系的信号,再将这些信号通过HDL顶层传递给DUT相应的接口.DUT完成各种操作之后,响应模块在实时监控下获得DUT输出数据.根据Specman与verilog仿真器的通信机理,此结构会导致仿真效率非常低下.因为每个时钟周期都会处理仿真器与E验证平台的同步和数据交互.以发送一帧10GHz模式的SDH帧STM-64为例,一帧STM-64含有 $9 \times 270 \times 64$ 个字节,如果DUT输入数据的位宽为64位,则发送一帧数据需要Specman和verilog仿真器通信19440次($9 \times 270 \times 64 \times 8/64 = 19440$).测试用例的仿真时间会由于这种频繁通信大幅度增加.

在E语言中有两种类型的方法:一种方法是不占用仿真时间的,另一种则会消耗仿真时间叫做TCM(Time Consuming Method).这种方法用来做DUT里的进程或事件与E环境代码的同步.本设计在TCM中以调用verilog task的形式实现对DUT的控制,这样E语言程序只做数据相关处理,而时序部分的处理都转为verilog实现.图3中给出了这种优化的Specman与仿真器的通信方式.

在本设计中用verilog实现的两种总线功能模型BFM(Bus Function Model)主要完成以下操作:(1)SDH帧的收发.发送数据帧时,调用task send,通过任务从E驱动模块获得完整的一帧数据,然后根据采样时钟把数据转换成满足DUT时序要求的二进制数据流并发送到总线信号上;调用task receive监视DUT的输出数据帧时,按时序要求收集

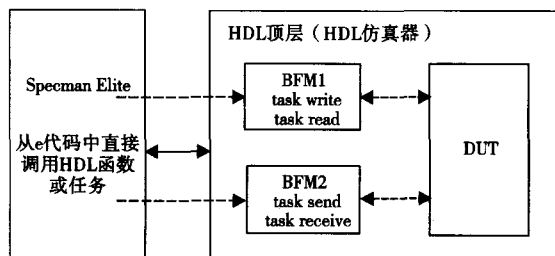


图 3 优化的驱动结构

完一帧然后一次上报给 E 环境的响应模块。(2) CPU 读写, 产生满足 DUT 读和写的时序要求的控制信号, 以实现 Specman 和仿真器只通信一次就能完成一次读操作或写操作。这两种 BFM 均由 verilog 以 task 的形式实现, 在 E 环境中被调用。一次任务的调用只需和仿真器交互一次。调用后, verilog task 的执行环境都在仿真器内部, 不存在软件间的通信。因此, 用例的执行时间明显减少, 验证效率得到较高提升。

4 平台设计结果

改进验证环境中驱动和响应组件的实现方法后, Specman 和 HDL 仿真器的通信次数大幅度减少。对比传统的实现方法, 软件交互次数降低了 4 个数量级, 验证效率显著提高。图 4、图 5 中给出了优化前后测试用例仿真时间对比以及优化方法获得的仿真效率提升。

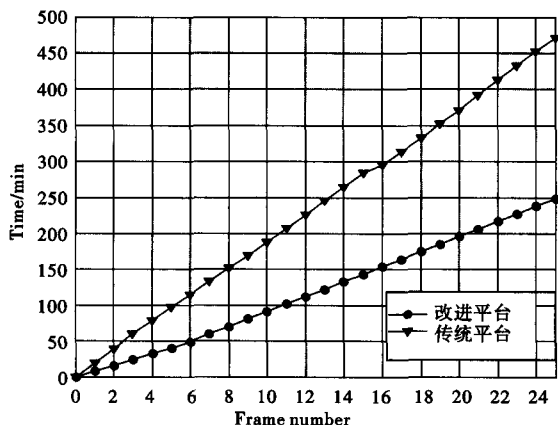


图 4 优化前后仿真时间对比

在图 4 中, 为保证数据比较时变量的唯一性, 数据来自同一个测试用例, 在相同时间, 同一台服务器上对两种方法构建的验证环境进行仿真的结果。如本设计, 一个需要处理 25 帧 STM-16 数据的测试用例, 传统方法需要运行 470 分钟, 而在优化的平台下只需要 250 分钟。图 5 表示多个测试用例在执行效

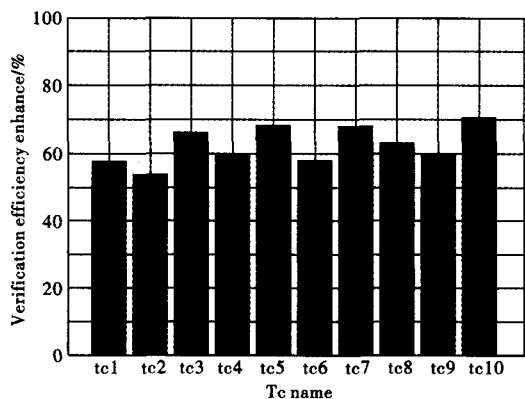


图 5 测试用例执行效率提升百分比

率提升上的一个分步图, SDH 芯片针对不同的功能测试会引起仿真时间有差异, 但在优化的验证环境中测试用例执行时间均能在原基础上缩短 50%~70%, 验证效率得到较大提升。如果按照节约的时间来算, 则是仿真中运行帧数越多, 对比所节约的时间越可观, 这将明显地缩短芯片的生产周期。

5 结束语

本文搭建了基于传统方法的 E 语言验证环境, 并依据提出的优化方法对驱动、响应模块后的验证环境进行优化。在 Specman 和 HDL 仿真器 NC_sim 的软件支持下进行实验。设计仿真结果证明, 这种改进的方法使得测试用例仿真效率提高了 50%~70%, 这将显著地降低成本, 提高公司竞争力。在应用 E 语言构建验证环境时, 此方法使芯片的高效功能验证成为可能。

参考文献:

- [1] Samir Palnitkar. Design verification with e[M]. Boston: Prentice Hall PTR, 2003.
- [2] 韦乐平. 光同步数字传送网[M]. 北京: 人民邮电出版社, 1998.
- [3] Victor Berman. The e system verification language[J]. IEEE Design & Test of Computers, 2005, 22(5): 484-486.
- [4] 夏宇闻, 周文. “e”语言, 一种新的高级数字系统验证语言[J]. 中国集成电路, 2003(53): 41-47.
- [5] 葛晨阳, 王东, 孙宏滨, 等. 一种可重构的数字视频处理 SoC 芯片验证平台[J]. 微电子学与计算机, 2009, 26(2): 62-65.
- [6] 虞致国, 魏敬和. 基于 JTAG 的 SoC 软硬件协同验证平台设计[J]. 微电子学与计算机, 2010, 27(10): 160-162.

(下转第 100 页)

```

else
point=point_j;
V_color(*point,c++);
//选取边中度较小的节点进行着色
if c>MAX_C {error();break;}
//着色的数量超过资源总值,此方案不可行
}

```

MAX_C 的值是表示事务与事务所占资源的关系,对于部分事务调度算法还有其他硬性规定的可以将其转换成处理中额外判别条件. 核心算法处理后,将节点及其着色表示出那么一套事务调度方案就完成了. 不难看出,对于核心算法其理论时间复杂度 $O(n)$.

5 结束语

本算法的主要是通过具有冲突的顶点着色来实现事务的调度,主调度程序理论上的时间复杂度为 $O(n)$. 将实际问题转换成事务,并通过算法实现得到可行的事务时间表,使得每一事务都不与同时段执行的其他事务冲突,且每一事务在自己的执行时段内都有自己的执行场地. 通过将本算法应用到考试考场安排、商务会议安排等多事务处理的方案中,能得到合理的可行的时间表,而且最大程度满足

事务执行所需各元素的特殊要求.

参考文献:

- [1] Buckley F, Lewinter M. 图论简明教程[M]. 李慧霸, 王凤芹, 译. 北京:清华大学出版社, 2005.
- [2] 王世安, 王玉贤, 李太寿. 协同软件中的一种资源调度仿真算法研究[J]. 微电子学与计算机, 2010, 27(10): 163-165.
- [3] 毛影, 黄明和, 徐斌. 对启发式算法实现图着色的优化[J]. 江西师范大学学报: 自然科学版, 2009, 33(6): 709-711.
- [4] 范敏, 胡伟. 基于改进遗传算法的异构环境混合调度策略研究[J]. 微电子学与计算机, 2010, 27(8): 119-123.
- [5] 韩丽霞, 王宇平, 兰绍江. 基于有序划分编码的图着色算法[J]. 电子学报, 2010, 38(1): 146-150.
- [6] 李增智, 王云岚, 陈靖. 课程表问题的一种混合型模拟退火算法[J]. 西安交通大学学报, 2003, 37(4): 1821.
- [7] 张健. 基于图论的高校排课系统实现[J]. 重庆师范大学学报: 自然科学版, 2005, 22(1): 35-38.
- [8] 孙波, 钟声. 匹配限制着色排课模型[J]. 计算机工程, 2008, 34(3): 111-113.

作者简介:

刘智璐 女, (1980—), 硕士, 讲师. 研究方向为计算软件.

(上接第 96 页)

- [7] 吴国锋. 基于 Specman Elite 的自动功能验证平台[D]. 西安: 西安电子科技大学, 2010.
- [8] Andreas S Meyer. Principles of functional verification[M]. hoiland: elsevier Science, 2004, 32-36.

作者简介:

张妮娜 女, (1986—), 硕士研究生. 研究方向为数字 IC 验证中的关键技术.

王万财 男, (1976—), 高级工程师. 研究方向为芯片验证高效率技术.

龚 衡 男, (1964—), 硕士, 教授. 研究方向为高速数字信号处理及片上数字系统(SOC)和嵌入式系统.